



Institut Supérieur de l'Aéronautique et de l'Espace

STAGE DE PROJET DE FIN D'ETUDE (PFE)

Département Electronique, Optronique et Signal

Lieu : Toulouse, campus Supaero

Responsable du stage : Philippe MARTIN-GONTHIER

Tél. : 05 61 33 83 69

Durée du stage : 6 mois

Mél. : Philippe.martin-gonthier@isae.fr

DESCRIPTION DU STAGE

Réf : CIMI-PFE2012-01

Domaine d'étude : Conception microélectronique numérique, capteurs d'image intégrés

Titre : **CONCEPTION D'UN SEQUENCEUR INTEGRE PERMETTANT LE SEQUENCEMENT PAR MACRO-COMMANDES DE CAPTEURS D'IMAGE CMOS DANS LE CADRE D'APPLICATIONS SPATIALES, MILITAIRES ET SCIENTIFIQUES**

Les imageurs CMOS connaissent un développement extrêmement rapide et deviennent des candidats prometteurs pour un nombre croissant d'applications spatiales, scientifiques et industrielles. Afin de minimiser la complexité de mise en œuvre de tels capteurs, il devient nécessaire de développer un séquenceur générique permettant de séquencer, par l'utilisation de macro-commandes, les capteurs d'images CMOS développés par l'équipe de recherche CIMI.

L'objet de ce stage est la conception d'un séquenceur intégré dans une filière technologique profondément submicronique.

Pour atteindre cet objectif, le stage comportera:

- Une phase d'étude bibliographique permettant de se familiariser avec le fonctionnement des capteurs d'image CMOS et la réalisation de bloc de commande de ces imageurs ainsi que la compréhension du fonctionnement des imageurs CMOS développés par l'équipe de recherche CIMI.
- L'établissement d'une machine à état, répondant aux spécificités des imageurs CMOS développés par CIMI, dans un langage de haut niveau de type VHDL ou Verilog.
- Le maquetage sur cible FPGA de la machine à état pour vérification des spécifications.
- La prise en main d'un flot de conception microélectronique numérique avec les outils usuels (CADENCE, MENTOR GRAPHICS, SYNOPSIS).
- La conception du circuit sur une technologie profondément submicronique.
- Une phase de rédaction du dossier de définition du circuit conçu.

Cette conception sera embarquée (à la fin du stage ou les semaines suivantes suivant le calendrier de fabrication de la technologie visée) dans un véhicule de test afin d'estimer les performances réelles.

Méthodes et moyens à mettre en œuvre : Conception de machine à états, flot de conception numérique, outils professionnels de la conception microélectronique (CADENCE, MENTOR GRAPHICS, SYNOPSIS).

PROFIL DU STAGIAIRE

Connaissances et niveau requis : Formation de niveau Bac+5(école d'ingénieur) électronique avec une spécialisation dans le domaine micro/nanoélectronique.

Les candidatures sont à adresser par courriel à deos@isae.fr avec le **responsable du stage en copie** et avec **la référence du sujet de stage** dans le titre du courriel.